

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-283623

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/768		H 0 1 L 21/90	B
	21/3065		21/302	L

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21)出願番号 特願平8-95522

(22)出願日 平成8年(1996)4月17日

(71)出願人 000001258
川崎製鉄株式会社
兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 九十九 敏樹
東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

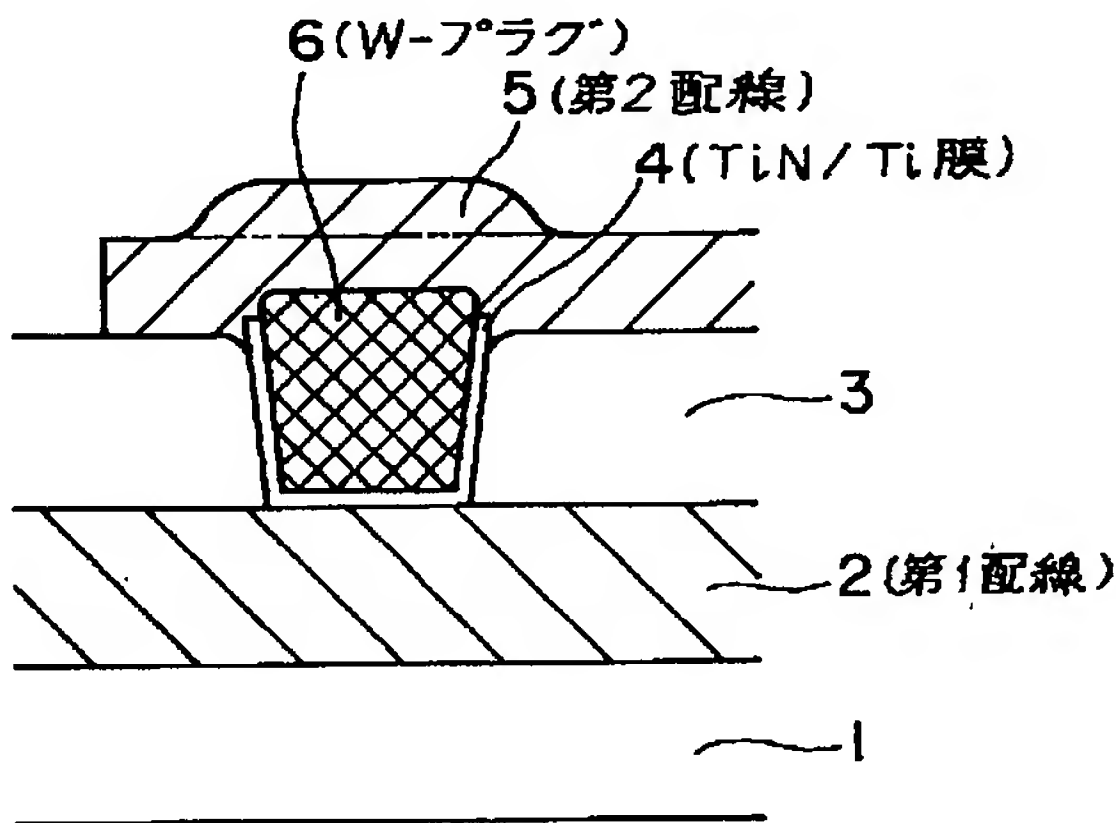
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 Via部における電気抵抗を減少させ、半導体装置の動作の信頼性を向上させる。

【解決手段】 基板上の第2層間絶縁膜3に形成されているVia孔に埋設されたW-プラグ6と、該W-プラグ6に電氣的に接続され、且つ第2層間絶縁膜3上に積層形成された配線5とを備えた半導体装置において、前記W-プラグ6を第2層間絶縁膜3の上面より突出させ、該W-プラグ6の突出部を前記配線5に接触させる。



1

【特許請求の範囲】

【請求項1】基板上の絶縁膜に形成されているVia孔に埋設されたプラグと、該プラグに電氣的に接続され、且つ、絶縁膜上に積層形成された配線とを備えた半導体装置において、

前記プラグが絶縁膜上面より突出して形成されていると共に、該プラグの突出部が前記配線に接触されていることを特徴とする半導体装置。

【請求項2】請求項1において、前記プラグが、その近傍の絶縁膜上面のみを低く形成して突出されていることを特徴とする半導体装置。

【請求項3】基板上の絶縁膜に形成されているVia孔に埋設されたプラグと、該プラグに電氣的に接続され、且つ、絶縁膜上に積層形成された配線とを備えた半導体装置の製造方法において、

基板上の絶縁膜にVia孔を形成する工程と、該絶縁膜にプラグ材料金属を堆積してプラグ形成用金属膜を形成すると共に、前記Via孔に埋め込む工程と、該Via孔に埋め込まれた金属の上端面が絶縁膜上面に略一致するまで、前記プラグ形成用金属膜をエッチバックして同Via孔に埋設されたプラグを形成する工程と、絶縁膜をエッチングしてプラグを該絶縁膜上面より突出させる工程と、

該プラグの突出部と接触する配線を絶縁膜上に積層形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】請求項3において、前記プラグを絶縁膜上面より突出させる工程を、プラグ近傍の絶縁膜のみをエッチングして行うことを特徴とする半導体装置の製造方法。

【請求項5】請求項3において、前記配線を絶縁膜上に積層形成する工程の後に、更に、形成された配線をポリッシングする工程を有することを特徴とする半導体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信頼性の高い積層配線が形成された半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、半導体装置では、層間絶縁膜を介して異なる層に形成された2つの積層配線間の電氣的接続が、該絶縁膜に穿設されたVia孔に形成した電極を通して行われており、そのVia部の電極はAl系合金のスパッタリングで形成されていた。

【0003】ところが、半導体の高集積化が進み、Via孔の径が微小化するに伴い、スパッタリングだけではVia孔の側壁に対する電極材料のカバレッジを確保することができなくなってきた。

【0004】そこで、CVD（化学的気相成長）法によ

2

りVia孔の内部にタングスタンWを埋め込んでプラグを形成し、該プラグを介してAl系合金からなる配線と接触させることにより、Via部でのAl系合金のカバレッジを改善することが行われている。

【0005】図7には、このようなプラグを介して配線間を電氣的に接続した半導体装置の一部断面を模式的に示した。即ち、半導体基板（図示せず）上の第1層間絶縁膜1上に形成されたAl系合金等からなる第1配線2と、該第1配線2上に形成された第2層間絶縁膜3と、該絶縁膜3の上に密着層であるチタンTiと、その上の窒化チタンTiNの2層からなるTiN/Ti膜4を介して積層されたAl合金からなる第2配線5とが形成されており、上記第1配線2と第2配線5とが、その間の第2層間絶縁膜3に穿設して形成されたVia孔に埋設されたW-プラグ6を介して電氣的に接続されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記のようにVia孔に埋設したプラグを介して積層配線間を電氣的に接続する場合でも、更に配線の微細化が進むにつれて一段とVia孔の径が縮小されていくため、Via部での電流密度が大きくなり、いわゆるEM（エレクトロマイグレーション）により、Via部では、図8に示すようにAl原子が持出されて減少していくためにボイド5Aが生じ、これによりVia抵抗が高くなり、半導体装置の動作不良の原因になるという問題がある。

【0007】本発明は、前記従来の問題点を解決するべく、なされたもので、Via部における電気抵抗を減少させることができるため、動作の信頼性を向上することができる半導体装置及びその製造方法を提供することを課題とする。

【0008】

【課題を解決するための手段】本発明は、基板上の絶縁膜に形成されているVia孔に埋設されたプラグと、該プラグに電氣的に接続され、且つ、絶縁膜上に積層形成された配線とを備えた半導体装置において、前記プラグが絶縁膜上面より突出して形成されていると共に、該プラグの突出部が前記配線に接触した構造とすることにより、前記課題を解決したものである。

【0009】即ち、Via孔に埋設されたプラグを絶縁膜上面より突出させることにより、該プラグと絶縁膜上の配線との接触面積を増大させることができるため、Via部における電気抵抗を減少させることができ、ひいてはEM耐性を向上できるため、半導体装置の信頼性を向上できる。

【0010】本発明は、又、基板上の絶縁膜に形成されているVia孔に埋設されたプラグと、該プラグに電氣的に接続され、且つ、絶縁膜上に積層形成された配線とを備えた半導体装置の製造方法において、基板上の絶縁膜にVia孔を形成する工程と、該絶縁膜にプラグ材料金属

50

を堆積してプラグ形成用金属膜を形成すると共に、前記Via孔に埋め込む工程と、該Via孔に埋め込まれた金属の上端面が絶縁膜上面に略一致するまで、前記プラグ形成用金属膜をエッチバックして同Via孔に埋設されたプラグを形成する工程と、絶縁膜をエッチングしてプラグを該絶縁膜上面より突出させる工程と、該プラグの突出部と接触する配線を絶縁膜上に積層形成する工程とを有することにより、前記半導体装置と確実に製造することができるようにしたものである。

【0011】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0012】図1～図4は、本発明にかかる第1実施形態である半導体装置の製造方法の特徴を説明するために、その工程の一部を模式的に示した部分断面図である。

【0013】前記図7の場合と同様に、半導体基板上に第1層間絶縁膜1、第1配線2及び第2層間絶縁膜3を常法に従って順次積層形成した後、該第2層間絶縁膜3上に被着形成したレジスト膜にフォトリソグラフィによりVia孔に相当する部分を開口したレジストパターン7を形成し、該レジストパターン7をマスクとしてRIE（反応性イオンエッチング）により、第2層間絶縁膜3を第1配線2が露出するまでエッチングしてVia孔8を穿設する。図1は、このVia孔8を形成した状態を示している。

【0014】次いで、上記図1に示した状態からレジストパターン7を除去した後、全体に密着層であるTiN/Ti膜4を、下からTi30nm、その上にTiN100nmを順にスパッタリングにより形成する。次いで、TiN/Ti膜4の全体にCVD法により700nmのタングステンWを堆積させ、Via孔8をも該タングステンWで埋め込む。

【0015】その後、タングステンW及びTiN/Ti膜4を順にエッチバックし、Via孔8に埋め込まれたWの上端が実質上第2層間絶縁膜3の上面に一致させることにより、W-プラグ6を形成する。図2は、このW-プラグ6を形成した状態を示し、この段階で第2層間絶縁膜3の上面は露出されている。

【0016】次いで、上記第2層間絶縁膜3全体をCHF₃/CF₄系ガスで、例えば200～4000Åの厚さ分をエッチバックして除去する。このエッチング条件では、シリコン酸化膜からなる第2層間絶縁膜3に対するW-プラグ6のエッチングの選択比が1/50以下と小さいため、ほぼ第2層間絶縁膜3のみをエッチングすることができるので、W-プラグ6が第2層間絶縁膜3の上面より突出した図3の状態にすることができる。

【0017】その後、常法に従ってAl系合金配線を第2層間絶縁膜3上に積層して第2配線5を形成することにより、図4に示すように、Via部での第1配線2との

電氣的接続を行う。

【0018】以上のように、この実施の形態によれば、W-プラグ6と第2配線5の接触を従来のようにW-プラグ6の上端面だけでなく、突出部の外周面とでも行うことが可能となる。

【0019】従って、Via部におけるW-プラグ6と第2配線5の接触面積が増えることになるので、その面積増加分だけ電流密度が緩和されることになり、それにより半導体装置の信頼性を向上できる。即ち、電流密度はVia部の信頼性の寿命に対して以下の式で表されるのが通常である。

【0020】 $T \propto J^{-n}$

ここで、T：寿命、J：電流密度、n：電流依存指数（通常2の値をとる）。

【0021】よって接触面積が1.5倍になれば寿命は2.2倍（ $1.5^2 = 2.2$ ）になる。また見方を変えれば従来保証のままの場合、1.5倍の電流密度を流すことができるので微細化をすることが可能になる。

【0022】しかも、縦方向に接触面積を広げることができるので、従来のようにW-プラグ6の上端面のみに第2配線5が接触する場合には、Viaの周囲に第2配線5のマージンを一定値以上確保するというデザインルールに拘束されなくなるために、更なる微細化に有利である。

【0023】又、この実施形態では、必要に応じて、前記図4に二点鎖線で示した位置まで、第2配線5をポリッシングして該第2配線5を平坦化する。即ち、この図4に示したように、Via部の第2配線が他の領域より高くなってしまうため、該第2配線5をパターンニングする際に難しさがでたり、更に多層配線を行う場合にパターン形成が難しくなる可能性があるため、例えば第2配線5をパターンニングする前にCMP（化学的・機械的研磨）法で、Al系合金膜を研磨して平らにする。

【0024】なお、特開平5-347360では、下層配線の上にタングステンWを堆積した後、レジスト膜をマスクにエッチングしてプラグを形成しているが、この方法では下層配線の側壁の部分にタングステンWが残り易いために微細加工はしにくい。又、Viaの部分マスクするためにレジストを残す方法を採用しているため、微細加工する時にはこのレジスト自体の幅を狭くする必要があるが、幅が狭くなればレジスト倒れや欠落等が起り易くなるためやはり微細加工が難しいという欠点がある。

【0025】図5、図6はそれぞれ、本発明にかかる第2実施形態の特徴を示す前記図3、図4に相当する部分断面図である。

【0026】この実施の形態では、前記図2の状態のW-プラグ6とその近傍が開口されたレジストパターン9をフォトリソグラフィで形成した後、該レジストパターン9をマスクにして第2層間絶縁膜3をエッチングして

10

20

30

40

50

5

図5のようにW-プラグ6が、その近傍の絶縁膜上面より突出した状態にする。即ち、W-プラグ6の上端より低い第2層間絶縁膜3は、該W-プラグ6の近傍だけに

【0027】次いで、レジストパターン9を除去した後、前記図4の場合と同様に、Al系合金をスパッタリングし、パターニングすることにより第2配線5を形成し、図6の状態にする。これにより、Via部の第2配線5も他の部分とそれほど高さが変わらない状態にできるため、以降の工程に影響を及ぼすことが防止できる。

【0028】この場合は、前記第1実施形態の場合のようにCMP法によるポリッシングを行うことなく、第2配線5をほぼ平坦にすることができる。

【0029】以上、本発明を具体的に説明したが、本発明は、前記実施の形態に示したものに限られるものでなく、その要旨を逸脱しない範囲で種々変更可能である。

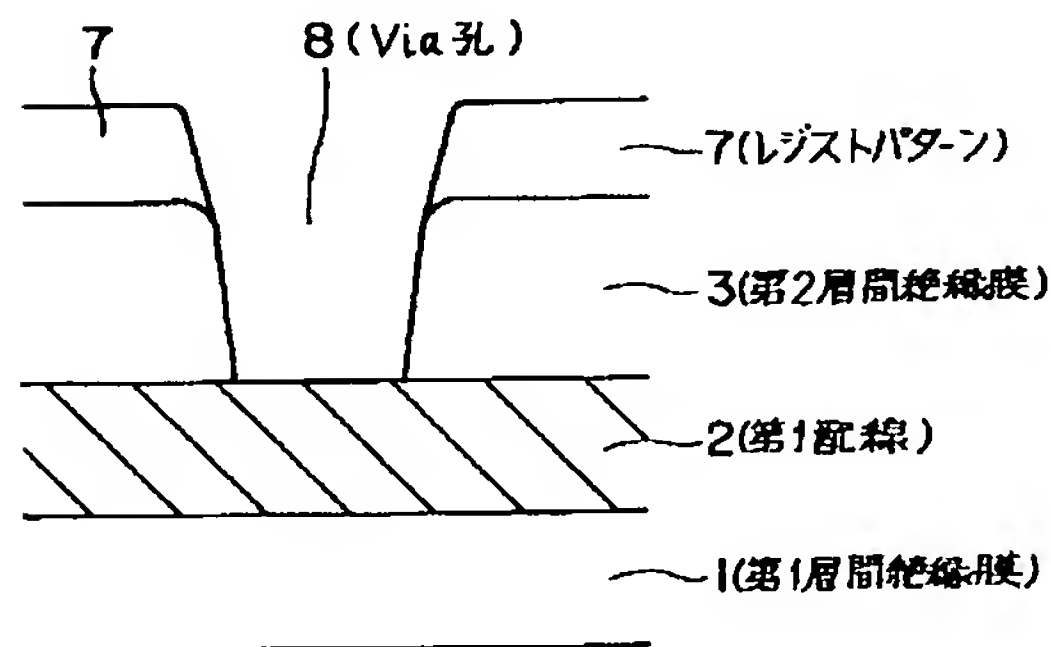
【0030】例えば、エッチバックに使用したエッチングガスの種類や組成、配線等の具体的な寸法等は前記実施の形態に示したものに限定されない。

【0031】

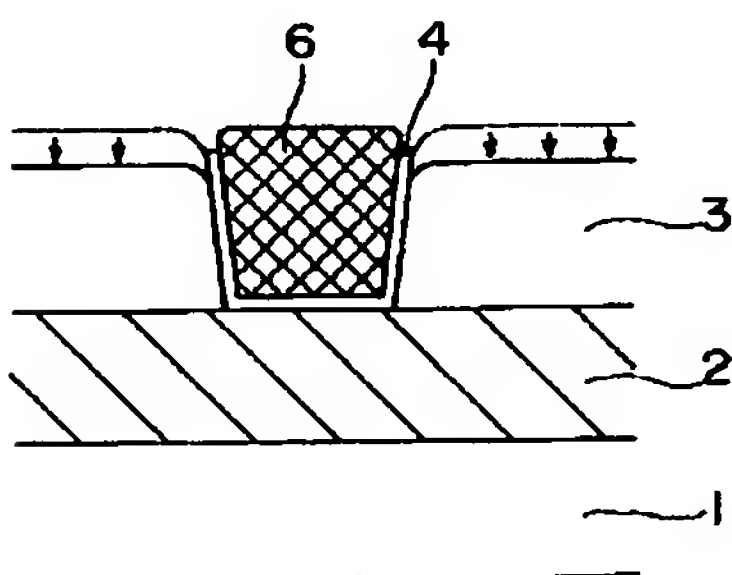
【発明の効果】以上説明したとおり、本発明によれば、Via部における電氣的接触面積を増大することにより電氣抵抗を減少させることができるため、半導体装置の動作の信頼性を向上することができる。

【図面の簡単な説明】

【図1】



【図3】



6

【図1】本発明にかかる第1実施形態におけるVia孔を形成する工程を示す部分断面図

【図2】Via孔に埋設されたプラグを形成する工程を示す部分断面図

【図3】プラグを層間絶縁膜上の上面より突出させる工程を示す部分断面図

【図4】プラグに接触する第2配線を形成する工程を示す部分断面図

【図5】本発明にかかる第2実施形態におけるプラグを突出させる工程を示す部分断面図

【図6】図5のプラグに接触した第2配線を形成する工程を示す部分断面図

【図7】従来のプラグに電氣的に接続された配線を示す部分断面図

【図8】従来の問題点を示す部分断面図

【符号の説明】

1…第1層間絶縁膜

2…第1配線

3…第2層間絶縁膜

4…TiN/Ti膜

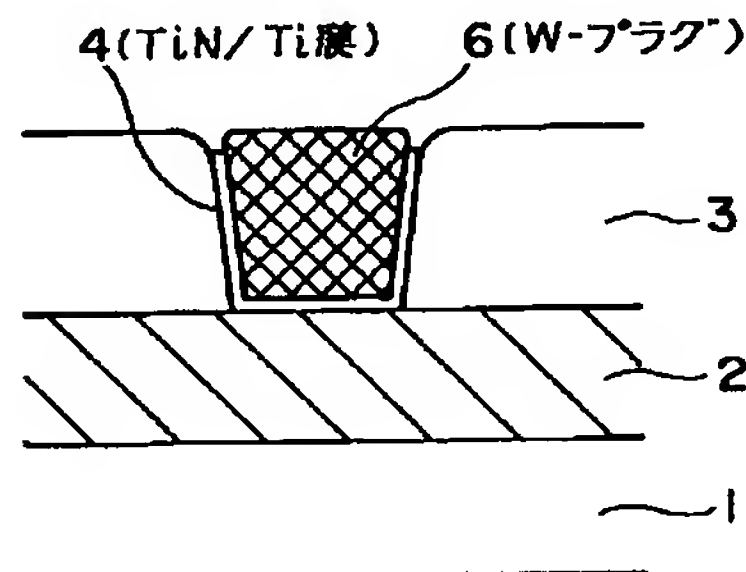
5…第2配線

6…W-プラグ

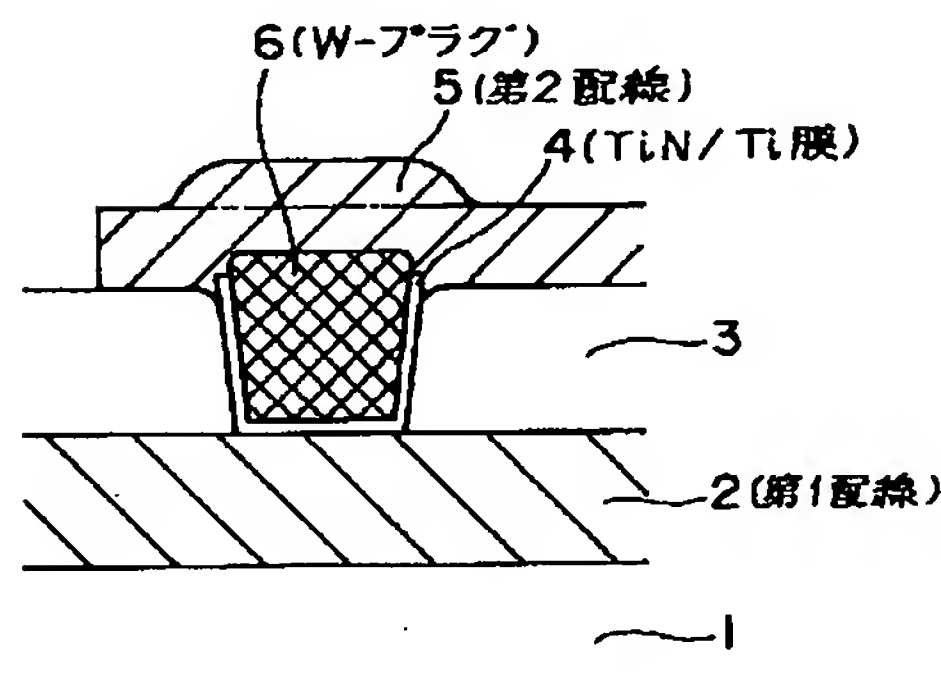
7、9…レジストパターン

8…Via孔

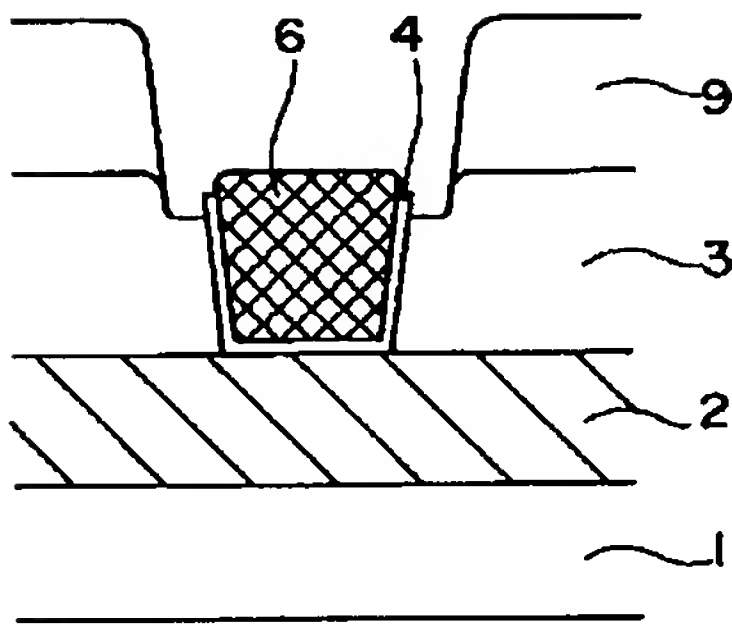
【図2】



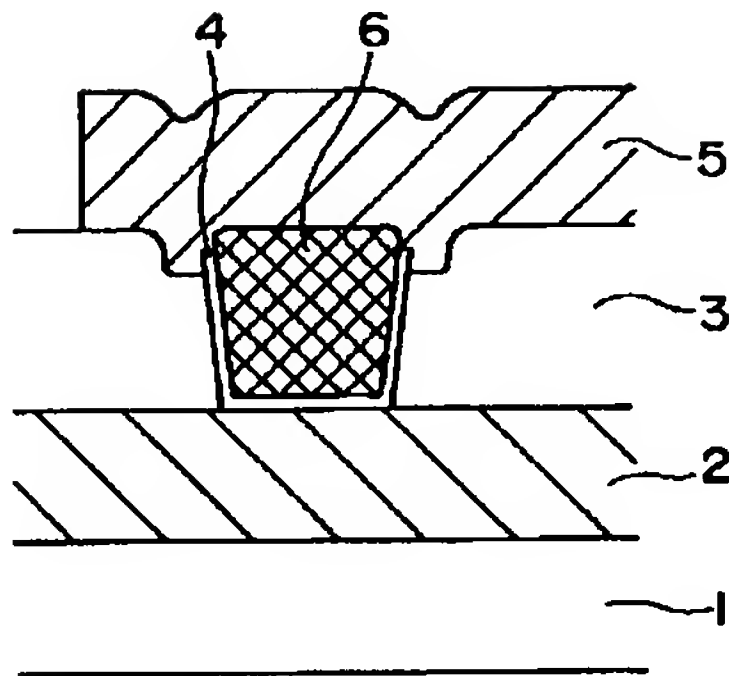
【図4】



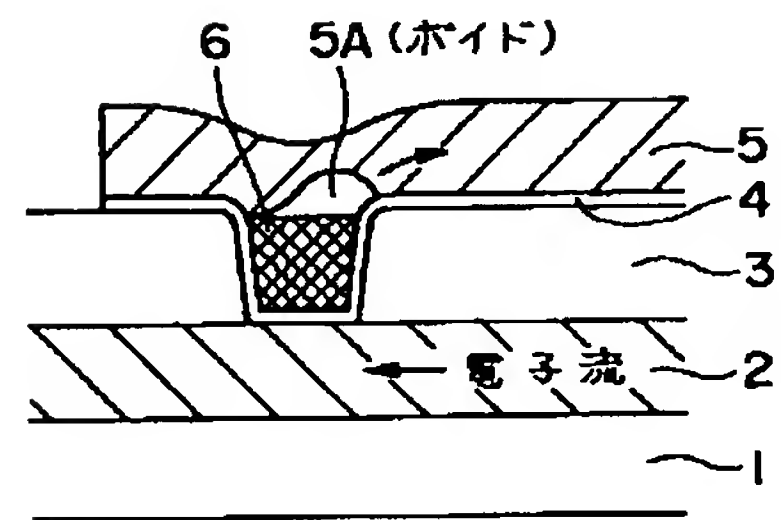
【図5】



【図6】



【図8】



【図7】

